

## 高速ビジョンチップの応用に関する研究

杵掛暁史\*・佐藤辰雄\*・小室孝\*\*・鏡慎吾\*\*・石川正俊\*\*  
 \* 機械電子部 ・ \*\* 東京大学情報理工学系研究科

### Study on Application of High Speed Vision Chip

Akifumi KUTSUKAKE\*・Tatsuo SATO\*・  
 Takashi KOMURO\*\*・Shingo W. KAGAMI\*\*・Masatoshi ISHIKAWA\*\*  
 \*Mechanics & Electronics Division ・  
 \*\* School of Information Science and Technology, University of Tokyo

#### 要旨

ロボットビジョンなど高速かつ汎用なビジョンシステムの需要が高まる中、光検出器 (Photo Detector : PD) と汎用処理要素 (Processing Element : PE) を画素ごとに直結してワンチップ上に集積化し、高速視覚を実現するビジョンチップの研究が注目を集めている。本研究では、ビジョンチップを産業界の自動検査・計測システムへ応用し、既存の CCD カメラを用いたシステムを超える高速処理システムを構築することを目的としている。本年度はビジョンチップの基礎理論と動作を把握し、基本的な動作検証を行った。また、ビジョンチップシステム検証用として、高速移動する対象物をシミュレートする実験装置を試作開発した。

#### 1. はじめに

従来の視覚情報処理システムは、CCD カメラなどからのパターン情報を、ビデオ信号を通じて画像処理装置に取り込み、処理するのが一般的である<sup>1)</sup>。この方式では、いかに演算部が高速処理を行えたとしても、ビデオ信号の伝送速度 (ビデオレート) がボトルネックとなり、それ以上の高速化は望めない。ビデオレートは人間の視覚機能の限界に基づき設計されたものであるが、近年、ロボットのフィードバックシステムや高速検査装置、次世代マルチメディアなどの分野でこの限界速度を超える需要が高まってきた。この需要に応える技術が、ビジョンチップを用いた超並列・超視覚情報処理システムである。このシステムは、ビジョンチップ内で画像特徴量などの演算を高速に実行できるため、既存の CCD カメラなどを用いた視覚情報処理システムの問題である伝送速度のボトルネックを解消できる。本研究ではビジョンチップを用い、ビデオレートを超える高速処理が可能な検査・計測システムの実現を目的とする。

#### 2. ビジョンチップシステム

ビジョンチップシステムは、ビジョンチップとその専用コントローラ、それ以外の外部システム (PC など) から構成される。ここでは、ビジョンチップと専用コントローラについて簡単に説明する。

##### 2.1. ビジョンチップ

ビジョンチップは、汎用かつ高速な視覚を実現するた

めに、光検出器 (PD) と汎用処理要素 (PE) を画素ごと、1 対 1 に直結し集積するためのアーキテクチャ  $S^3PE$  (Simple and Smart, Sensory Processing Element : Fig. 1) を採用した高機能視覚センサである<sup>2)3)</sup>。各 PE は SIMD 型制御で動作する構造で、1 ビット×32 のローカルメモリ (うち 8 つがメモリマップト I/O) と、ビットシリアル ALU を持つコンパクトな回路構成となっており、汎用性の実現と高解像度を達成する。それぞれの PE はその 4 近傍と接続されており、並列性を生かした高速な近傍演算を実現できる。光入力 of A/D 変換は、専用コントローラからのインストラクションに従って行われ、PD の出力が CMOS インプータのしきい値を切るまでの時間を PE でカウントするソフトウェアを実行することにより、すべての画素ごとに行われる。この A/D 変換方式は、回路規模の縮小と柔軟な変換処理を可能としている。このような構造を有する  $S^3PE$  は、専用コントローラか

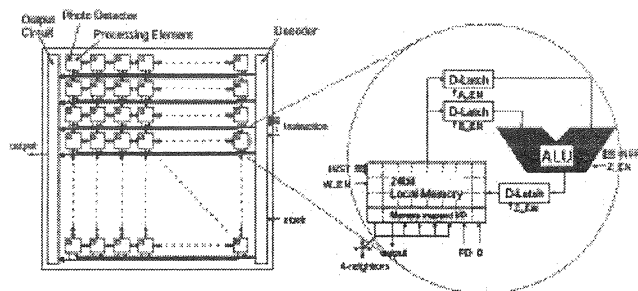


Fig. 1  $S^3PE$  アーキテクチャ

らインストラクション列を与えられることにより、1000frames/s以上の高速演算を可能とし、なおかつ汎用的な視覚情報処理を実現できる。

### 2.2. ビジョンチップ専用コントローラ

デジタルビジョンチップをさまざまなアプリケーションシステムに応用するため、その能力を最大限に活用することを目的とする専用コントローラを準備する。これは、ユーザが記述したプログラムメモリの内容に従ってプログラム制御を行いながら、ビジョンチップへのインストラクションの供給、算術論理演算、外部システムとの通信を行う32ビットマイクロコントローラである<sup>4)5)</sup>。このコントローラはハードウェア記述言語Verilog-HDLを用いて設計され、XILINX社のFPGAにより実現されている。専用コントローラの存在により、ビジョンチップシステムが外部システムの制約(PCの処理能力やI/Oの通信能力などボトルネックとなる部分)に影響を受けることなく、ビジョンチップの最大限の能力での処理を可能とする。

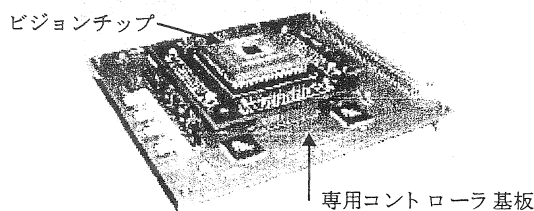


Fig. 2 ビジョンチップと専用コントローラの外観

## 3. ビジョンチップシステムによる実験

### 3.1. 実験装置

ビジョンチップシステムを用いて、高速移動する対象物を想定した検査・計測システムの実験を行うため、Fig. 3に示す実験装置を試作開発した。実験装置は、高速回転する透明なアクリルドラム(直径30cm)内部に配置した赤色LED照明とCCTVレンズにより、ドラム上に描画した対象物のシルエットをビジョンチップへ投影する。このアクリルドラムは、最高1200rpmまで高速回転させることが可能である。

### 3.2. 画像処理実験

本実験装置を用いて、静止画像に対する撮像と基本的な画像処理実験を行った。ここで使用したビジョンチップの画素数は64×64画素である。また、画像はすべて二値画像を対象としている。ビジョンチップシステムにおいて、1サイクル(光入力のA/D変換開始から処理終了までを1サイクルとする)毎に処理し出力した画像を、PIOボードを介してPCのディスプレイに表示させた結果をFig. 4に示す。

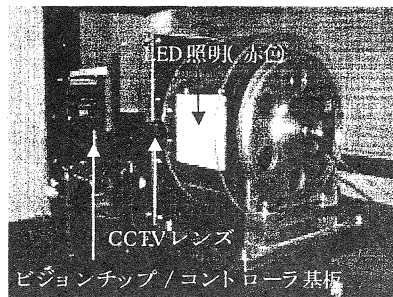
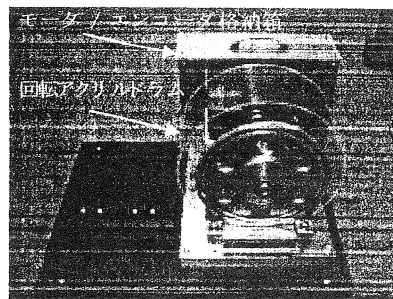


Fig. 3 実験装置外観

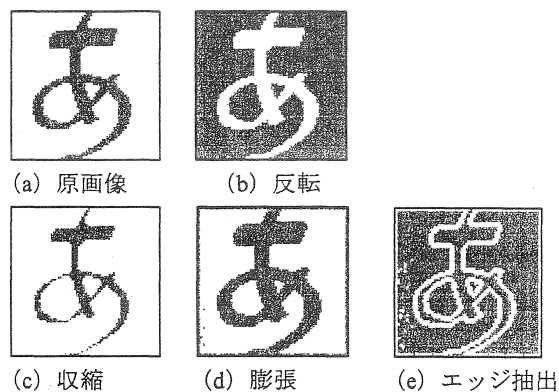


Fig. 4 静止画像に対する処理 (64×64画素)

Fig. 4より、各処理の基本的な動作は正しく行われていることが分かる。しかし、Fig. 4(d), (e)の撮像結果では画像左部にランダムノイズが出力された。これはビジョンチップの不具合であるものの、現時点ではこのノイズを除去する方法を確認済みである。この実験により、ビジョンチップシステムの動作概要を把握することができた。また強力な光源を必要とせず、市販のLED照明装置の照度(現行のビジョンチップの感度)でも対象物の撮像が可能であることを確認した。

### 3.3 ビジョンチップシステムでの画像処理速度

いくつかの画像処理アプリケーションについて、ビジョンチップ制御プログラムを記述しその動作を確認後、プログラムのステップ数から1サイクル実行時間の推定を行った。評価に用いるために想定した専用コントローラ

ラの動作周波数は40MHzである。Table 1に、各処理のA/D変換から処理終了まで(1サイクル)の実行時間を示す。ここで用いたアプリケーションは次のa~eの5つであり、対象とする画像はすべて二値画像である。

#### a. 画像ダンプ

ビジョンチップが取得したすべての画素値を、ビジョンチップ専用コントローラが持つメモリに出力する。

#### b. エッジ抽出

4近傍画素値よりエッジ抽出演算を行い、画像ダンプする。エッジ抽出演算は、以下の式をすべての画素に適用することで実現する。

$$out = (p \oplus up) \oplus (p \oplus down) \oplus (p \oplus left) \oplus (p \oplus right)$$

$p$  : 注目画素

$out$  :  $p$  のエッジ抽出演算結果

$up, down, left, right$  :  $p$  の4近傍画素値

$\oplus$  : 排他的論理和,  $+$  : 論理和

#### c. 膨張

“0”の画素を注目画素とし、4近傍画素のいずれかが“1”であれば注目画素を“1”とする。すべての画素に対してこの処理を5回繰り返した後、画像ダンプする。

#### d. 対象物検知

ビジョンチップ視野内に対象物の存在を検知する。対象物が存在すれば、ビジョンチップ専用コントローラの出力ポートをアクティブにする。

#### e. 膨張収縮法による欠陥検知

膨張処理を  $n$  回、収縮処理を  $n$  回行った後の画像と、原画像とを排他的論理和演算することにより、測定対象物のピンホールなどの欠陥を検出する。ここでは  $n = 5$  と設定した。欠陥があれば、ビジョンチップ専用コントローラの出力ポートをアクティブにする。

Table 1 ビジョンチップシステムの実行時間

処理	実行時間 (1サイクル)
a. 画像ダンプ	2.8 ms
b. エッジ抽出	2.9 ms
c. 膨張 (5回繰り返し)	3.1 ms
d. 対象物検知	4.1 ms
e. 膨張収縮法による欠陥検知	4.9 ms

Table 1より、いずれの処理も 5ms / 1サイクル以下の高速処理が可能であることがわかる。

## 4. おわりに

本年度の研究により、ビジョンチップシステムの基礎理論とその動作を把握することができた。また、高速検査・計測システムのアプリケーション開発をよりスムーズに進めるための実験装置を試作開発した。さらに、この装置を用いてビジョンチップシステムの実験を行った結果、既存のハードウェアで検査・計測システムの実用化が可能であることが明らかになった。

今回の実験で検証できたのはごく基本的な処理ではあるものの、ビジョンチップシステムはビデオレート(33ms)の1/6(5ms)以下での高速処理が可能であることを示した。この処理速度は、コントローラの動作周波数を上げる、画像処理アルゴリズムを工夫する、などによりさらに高速化可能である。

今後は、実用的な検査・計測システムを念頭におき、ビジョンチップの高速性、並列性を活用したアルゴリズムの構築とアプリケーションの開発を行い、実験装置による動作検証を行う。

## 謝辞

本研究の遂行にあたり、懇切丁寧なご指導を賜りました東京大学情報理工学系研究科 石川正俊教授に深く感謝の意を表します。また、研究に対し貴重なアドバイスと便宜を図って頂きました石川橋本研究室ビジョンチップ研究グループの小室孝氏と鏡慎吾氏、および様々な面でご協力頂いた石川橋本研究室すべての皆様に、心より感謝の意を表します。

## 参考文献

- 1) 石川正俊：“超並列・超高速視覚情報処理システム-汎用ビジョンチップと階層型光電子ビジョンシステム”，応用物理，第67巻，第1号，pp33-38，1998.
- 2) 小室孝，鈴木伸介，石井抱，石川正俊：“汎用プロセッシングエレメントを用いた超並列・超高速ビジョンチップの設計”，電子情報通信学会論文誌(D-I)，Vol.J81-D-I，No.2，pp.70-76，1998.
- 3) 小川一哉，小室孝，石井抱，石川正俊：“S<sup>3</sup>PEアーキテクチャに基づくデジタルビジョンチップとその集積化”，信学技報，pp.7-13，1999.
- 4) 鏡慎吾，中坊嘉弘，小室孝，石井抱，石川正俊：“1msビジョンチップシステムの制御アーキテクチャ”，信学技報，pp.15-20，1999.
- 5) 鏡慎吾，小室孝，小川一哉，石井抱，石川正俊：“64×64 PEを集積した超並列ビジョンチップとそのシステム開発”，第4回システムLSI琵琶湖ワークショップ，pp.271-274，2000.